

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 57-167657

(43)Date of publication of application : 15.10.1982

(51)Int.Cl.

H01L 21/78

(21)Application number : 56-047429

(71)Applicant : FUJITSU LTD

(22)Date of filing : 31.03.1981

(72)Inventor : HOKOZAKI MUNEO
ANDO NOBORU

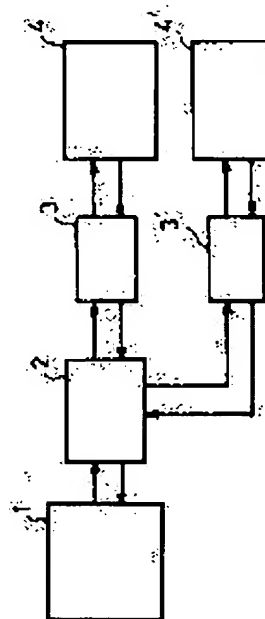
(54) SCRIBING SYSTEM FOR SEMICONDUCTOR WAFER

(57)Abstract:

PURPOSE: To conduct multikind production efficiently by the same semiconductor wafer by previously inputting the forming information of plural kinds of the semiconductor wafers and scribing the forming information while successively transferring the information to a scribing means.

CONSTITUTION: The whole management of the output, etc. at every each kind of ICs is conducted by means of a large-sized computer 1, and the specifications of manufacture at every kind of the ICs and size or the information of form at every each semiconductor wafer stored in a wafer process are received proviously into a medium-sized computer 2. Information from a probe test device 4' is inputted to the medium-sized machine 2

through a small-sized computer 3', and positional information on the wafer in relation to the IC chip region of the desired semiconductor wafer intended to scribe and the size or the information of form of the chip region are inputted to the small-sized machine 3 from the medium-sized machine 2. The small-sized machine 3 successively transfers information inputted to the scribing device 4, and scribes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57—167657

⑤ Int. Cl.³
H 01 L 21/78

識別記号

庁内整理番号
7131—5F

④ 公開 昭和57年(1982)10月15日

発明の数 1
審査請求 有

(全 3 頁)

⑭ 半導体ウェハーのスクライプ方式

① 特 願 昭56—47429

② 出 願 昭56(1981)3月31日

③ 発 明 者 銚碕宗夫
川崎市中原区上小田中1015番地
富士通株式会社内

⑦ 発 明 者 安藤昇
川崎市中原区上小田中1015番地
富士通株式会社内
⑧ 出 願 人 富士通株式会社
川崎市中原区上小田中1015番地
⑨ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体ウェハーのスクライプ方式

2. 特許請求の範囲

半導体ウェハーの、大きさおよび形状のうち少なくとも1つが異なる複数の半導体チップ領域に関する位置情報と、大きさおよび形状情報のうち少なくとも1つの情報を含む構成情報を格納する格納手段と、該構成情報に基づいて、該半導体ウェハーをスクライプするスクライプ手段を設け、該格納手段より該スクライプ手段へ該構成情報を順次転送することにより該半導体ウェハーをスクライプすることを特徴とする半導体ウェハーのスクライプ方式。

3. 発明の詳細な説明

本発明は半導体ウェハーのスクライプ方式、特に種々の異なる形状、大きさをもつた半導体チップ領域を有する半導体ウェハーのスクライプ方式に関する。

従来、半導体装置を製造するには、半導体ウェ

ハーに多数個の半導体素子又は多数の素子からなる多数個の半導体集積回路 (IC) を形成し、これをスクライプして方形の半導体チップとせしめた後に、該半導体チップを容器に収納して半導体装置に形成せしめているが、通常同一半導体ウェハー上には同一種類の、同一形状 (同一寸法) をもつた半導体チップが構成され、X方向又はY方向では同じ寸法間隔でスクライプが行なわれている。

ところが、半導体技術の進歩に伴って、半導体装置は所望の電子回路を構成するための部品としてではなくて、それ自体が1つの電子回路としての性格が強くなってきた。従って、単なる部品ならば一度に多量生産する製造方式により低価格化がはかられたが、電子回路となればその目的に応じてそれぞれ回路が設計されるから、多品種で少量の生産方式でなければかえって高価となる。そのため、同一半導体ウェハー上に同一種類の半導体チップを形成するだけでなく、種々の異なる形状の半導体チップを配列させて、合理化する必要

があり、そうすると従来の同一寸法間隔で自動的に行なっているスクライプ方法は早急に変更しなければ、効率的な生産は望めない。

この様な観点から、本発明はIC、LSIなどの半導体装置を効率良く生産するスクライプ方式を目的としており、その特徴は半導体ウェハーの大きさおよび形状のうち少なくとも1つが異なる複数個の半導体チップ領域に関する位置情報と、大きさおよび形状情報のうち少なくとも1つの情報を含む構成情報を格納する格納手段と、該構成情報に基づいて該半導体ウェハーをスクライプするスクライプ手段とを設け、該格納手段により該スクライプ手段へ該構成情報を順次伝送することにより該半導体ウェハーをスクライプすることを特徴とする半導体ウェハーのスクライプ方式を提供するものである。

以下、本発明について詳細に説明する。例えば論理素子と論理回路とのマスクパターンを基として電子計算機でICを自動設計する方法が増えており、この様な場合にはICの製造工程は同一で

半導体ウェハー毎の履歴が情報として入力されている。そして小型計算機8は各工程の処理仕様によつて、その計算機に直結した装置を自動操作することができる情報が蓄えられている。今、小型計算機8に直結する製造装置をスクライプ装置4とすると、スクライプしようとする所望の半導体ウェハーのICチップ領域に関して、そのチップ領域のウェハー上における位置情報と、チップ領域の大きさおよび形状情報のうち少なくとも一方を含んだ構成情報を中型機2より小型機8に入力し、その情報をスクライプ装置に順次伝送して例えばレーザー光でスクライプする。その際に、ICチップの形状は一定でなくても、その半導体ウェハーの構成情報としてICチップのパターン情報が中型機2より小型機8に入力されて、小型機8が認識しているために、その情報を基として自動的に位置決めして、自動的にスクライプすることができる。

第2図は半導体ウェハー上のICチップの一構成例を図示したもので、半導体ウェハーの面積を

あるが、ICチップの形状が品種によつて異なる場合がある。又、半導体ウェハーは大口径化してきており、ICチップは益々微細化されて小さくなるから、電子回路の規模が拡大しても、1枚の半導体ウェハーから得られるチップ数は増加し、歩留向上もこれに加わつて、益々少量生産の傾向が強くなり、例えば500個のICチップを形成できる面積をもつた半導体ウェハー上に僅かに数10個形成すればよいことも起こる。又、電子回路を自動設計する初期段階では、その回路特性を評価確認するために数個だけ形成すればよい場合もある。この様な時に、複数種類の電子回路即ちICを同一半導体ウェハー上にまとめて形成すれば効率良く生産することができるのは当然である。

一方、近年電子計算機を使用して半導体装置の製造全般を制御する群管理システムが開発されており、例えば第1図に示すブロック図の様に大型計算機1ではICの各品種毎の生産量などの全般管理を行ない、次の中型計算機2ではICの品種別の製造仕様やウェハー工程に在庫されている各

有効に利用するため、中央に大型チップ領域5-1、5-2……5-6を設け、周囲に比較的小さな小型チップ領域6-1、6-2……6-11が設けられている。標準点8を指標として、この様なICチップの大きさおよび/または形状情報を含むパターン情報を認識しておくと、XY座標によつてレーザー光のノズルを自動操作してスクライプが行なわれる。この様にすれば、従来の様に何んら寸法間隔を一定に整列させる必要がなく、半導体ウェハー内のICチップを効率よく配列して、複数種類のICチップを構成することが可能となる。更には、半導体装置を製造するスクライプ工程の前工程はプローブテストであり、各ICチップの良否が判定されて、その情報がプローブテストに直結した小型計算機8(第1図参照)を通して、中型機2に入力されている。そのICチップの判定情報をも、上記のICチップのパターン構成情報と同時に中型機2より小型機8に入力して、不良のICチップはスクライプしないで、良品のICチップのみスクライプすることも可能となり、

そうすれば作業能率が向上し、無駄な作業を省略することができる。

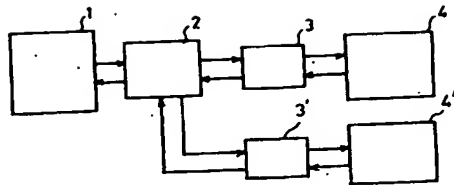
以上の説明から判る様に、本発明は電子計算機により群管理された製造工程において、懸案問題となつている半導体ウェハ内のICチップ形状を自由度高くして選択することができ、ICの生産効率を向上させて、低価格化に著しく貢献するものである。尚、上記は方形チップで説明したが、その他の形状例えば円形などにICチップを形成しても、本発明のスクライプ方式を適用できるとは言うまでもない。

4. 図面の簡単な説明

第1図は本発明を適用するスクライプ方式のブロック図、第2図は半導体チップの形状と配置とを示す半導体ウェハの平面図の一例である。

図中、1、2、3、4は電子計算機、4はスクライプ装置、4はプローブテスト装置、5、6は半導体チップを示している。

第 1 図



第 2 図

